

NONVOLATILE MEMORY CARD BY AUTOMATIC POWER SUPPLY CONFIGURATION

Patent number: JP7028968
Publication date: 1995-01-31
Inventor: DEBITSUDO EMU BURAUIN; DEBITSUDO ESU BURANAMU; RATSUSERU DEI ESURITSUKU
Applicant: INTEL CORP
Classification:
 - International: **G11C5/14; G11C5/14;** (IPC1-7): G06K19/07; G11C5/00; G11C16/06
 - european: G11C5/14D
Application number: JP19940155528 19940615
Priority number(s): US19930086178 19930630

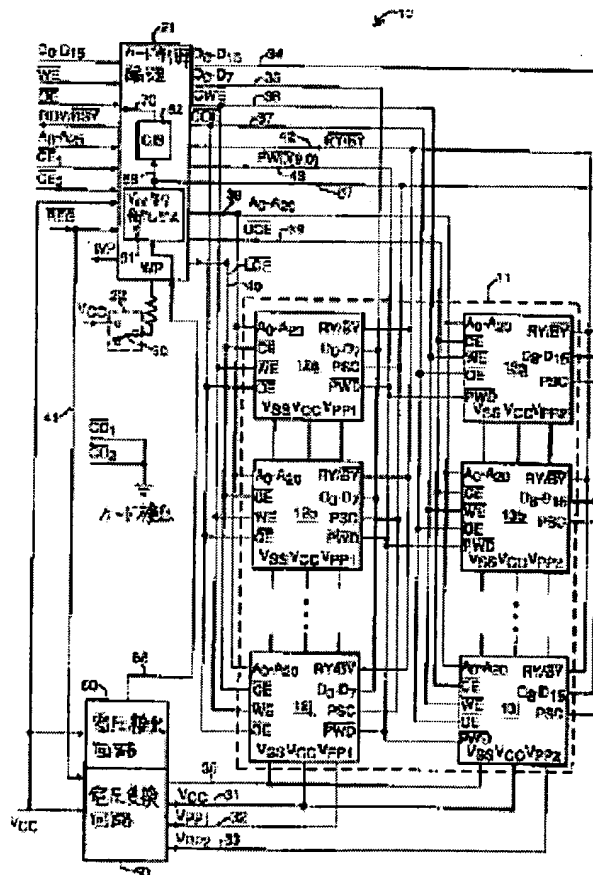
Also published as:

US5329491 (A1)

Report a data error here

Abstract of JP7028968

PURPOSE: To obtain a memory card which can be used by a computer of a different power source voltage. **CONSTITUTION:** Plural memories 12 and 13 are provided with circuits receiving a device power source voltage display signal displaying the voltage level of the power source voltage of the the device and operating corresponding to the voltage level of the power source voltage of the device. In order to generate the device power source voltage display signal by detecting the voltage level of the power source voltage of the device, a voltage detection circuit 60 is combined to the input of the power source.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-28968

(43) 公開日 平成7年(1995)1月31日

(51) Int. Cl. °

G06K 19/07

G11C 5/00

16/06

識別記号

302 A

F I

G06K 19/00

J

G11C 17/00

309

D

審査請求 未請求 請求項の数 2 F D (全10頁)

(21) 出願番号 特願平6-155528

(22) 出願日 平成6年(1994)6月15日

(31) 優先権主張番号 086178

(32) 優先日 1993年6月30日

(33) 優先権主張国 米国 (US)

(71) 出願人 591003943

インテル・コーポレーション

アメリカ合衆国 95052 カリフォルニア

州・サンタクララ・ミッション カレッジ

ブーレバード・2200

(72) 発明者 デビッド・エム・ブラウン

アメリカ合衆国 95628 カリフォルニア

州・フェア オークス・イリノイ アヴェ

ニュー・4914

(74) 代理人 弁理士 山川 政樹

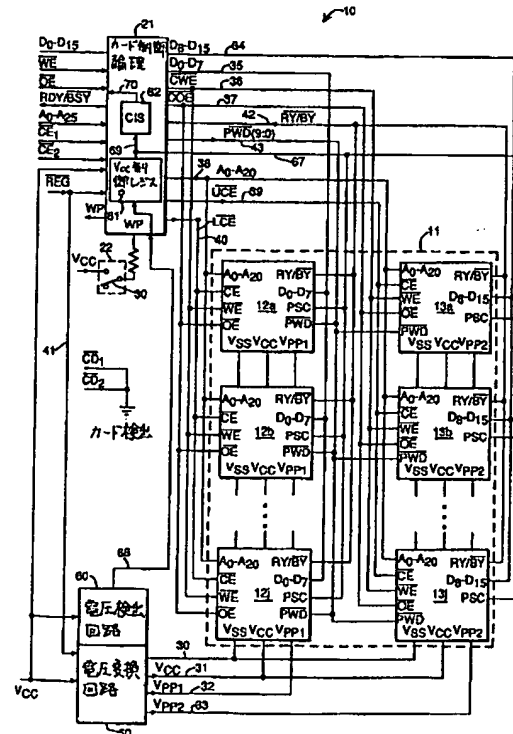
最終頁に続く

(54) 【発明の名称】 自動電源構成による不揮発性メモリ・カード

(57) 【要約】

【目的】 電源電圧が異なるコンピュータで使用できるメモリ・カード。

【構成】 複数のメモリは、装置電源電圧の電圧レベルを表示する装置電源電圧表示信号を受け、装置電源電圧の電圧レベルに応じて動作する回路を有する。装置電源電圧の電圧レベルを検出して、装置電源電圧表示信号を発生するため、電源入力には、電圧検出回路が結合されている。



【特許請求の範囲】

【請求項 1】 (A) メモリ・カードのための装置電源電圧を受ける電源入力と、

(B) 各メモリが、電源入力から装置電源電圧を受け、装置電源電圧の電圧レベルを表示する装置電源電圧表示信号を受け、各メモリ内では装置電源電圧の電圧レベルにしたがって動作するように回路が構成されている、アレイを構成するように配列された複数のメモリと、

(C) 電源入力に結合されて、装置電源電圧の電圧レベルを検出し、装置電源電圧表示信号を発生する電圧検出回路と、

(D) 電圧検出回路及び複数のメモリのそれぞれに結合され、(1) 電圧検出回路から装置電源電圧表示信号を受けて、(2) 複数のメモリのそれぞれにその装置電源電圧表示信号を加え、複数のメモリのそれぞれの回路を装置電源電圧表示信号に基づいて構成させ、(3) 装置電源電圧の電圧レベルに関する不揮発性メモリ・カードのデータを外部回路に供給する論理回路とから構成される不揮発性メモリ・カード。

【請求項 2】 (A) メモリ・カードのための装置電源電圧を受ける電源入力と、

(B) 各メモリが、電源入力から装置電源電圧を受け、装置電源電圧の電圧レベルを表示する装置電源電圧表示信号を受け、各メモリ内では装置電源電圧の電圧レベルにしたがって動作するように回路が構成されるアレイをなすように配列された複数のメモリであって、前記装置電源電圧の電圧レベルが第 1 の電圧と第 2 の電圧であり、前記装置電源電圧表示信号が第 1 と第 2 の装置電源電圧表示信号である前記複数のメモリと、

(C) 電源入力に結合されて、装置電源電圧の電圧レベルを検出し、装置電源電圧表示信号を発生し、装置電源電圧が第 1 の電圧の場合には、第 1 の装置電源電圧表示信号を発生し、装置電源電圧が第 2 の電圧の場合には、第 2 の装置電源電圧表示信号を発生する電圧検出回路と、

(D) 電圧検出回路及び複数のメモリのそれぞれに結合され、(1) 電圧検出回路から装置電源電圧表示信号を受けて、(2) 複数のメモリのそれぞれに装置電源電圧表示信号を加え、複数のメモリのそれぞれの回路を装置電源電圧表示信号に基づいて構成させ、(3) 装置電源電圧の電圧レベルに関する不揮発性メモリ・カードのデータを外部回路に供給し、電圧検出回路が第 1 及び第 2 の装置電源電圧表示信号を発生すると、第 1 の電圧に関する不揮発性メモリ・カードの第 1 のデータ、及び、第 2 の電圧に関する不揮発性メモリ・カードの第 2 のデータ供給する論理回路とから構成される不揮発性メモリ・カード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、コンピュータ・メモリ

の分野に関するものである。とりわけ、本発明は、自動電源構成による、電氣的に消去可能で、プログラミング可能な、浮動ゲート不揮発性メモリ・カードに関するものである。

【0002】

【従来の技術】 先行技術による不揮発性メモリのタイプの 1 つが、電氣的に消去可能で、プログラミング可能なフラッシュ読み取り専用メモリ（「フラッシュ EPROM」）である。フラッシュ EPROM は、ユーザによるプログラミングが可能である。一旦プログラミングしたものを電氣的に内容全体を消去することが可能である。従って、新しいデータで、フラッシュ EPROM の再プログラミングを行うことが可能になる。

【0003】 先行技術によるパーソナル・コンピュータは、取り外し可能なデータ記憶媒体を用いるのが普通である。先行技術において一般的な、取り外し可能な記憶媒体の 1 つがフロッピー・ディスクである。比較的新しい先行技術による記憶媒体は集積回路をベースにしたメモリ・カード（「ICメモリ・カード」）である。

【0004】 先行技術によるフラッシュ EPROM は、不揮発性で、再プログラミング可能であり、このため、取り外し可能なデータ記憶媒体にフラッシュ EPROM のテクノロジーを利用することが可能になった。こうした先行技術の応用例の 1 つが、フラッシュ EPROM メモリ・カード（「フラッシュ・メモリ・カード」）である。フラッシュ・メモリ・カードには、一般に、いくつかのフラッシュ EPROM が含まれている。フラッシュ・メモリ・カードは、電氣的に消去し、プログラミングすることが可能である。

【0005】 先行技術によるパーソナル・コンピュータ・システムのカテゴリの 1 つには、一般に、デスク・トップ・コンピュータが含まれ、先行技術によるパーソナル・コンピュータ・システムのもう 1 つのカテゴリには、ラップ・トップ・コンピュータが含まれている。先行技術によるデスク・トップ・コンピュータの多くには、一般に、5 ボルト電源が用いられており、先行技術によるラップ・トップ・コンピュータの多くには、一般に、3 ボルト電源が用いられている。

【0006】 先行技術によるパーソナル・コンピュータ・システムと同様、先行技術によるフラッシュ・メモリ・カードのタイプの 1 つは、3 ボルト電源環境において用いられるように設計されている（「3 ボルト・フラッシュ・メモリ・カード」）。先行技術によるもう 1 つのタイプのフラッシュ・メモリ・カードは、一般に、5 ボルト電源環境において用いられるように設計されている（「5 ボルト・フラッシュ・メモリ・カード」）。3 ボルト・フラッシュ・メモリ・カードは、一般に、3 ボルト電源の先行技術によるパーソナル・コンピュータで利用され、5 ボルト・フラッシュ・メモリ・カードは、一般に、5 ボルト電源の先行技術によるパーソナル・コン

ピュータで利用される。

【0007】こうした先行技術によるフラッシュ・メモリ・カードに関連した欠点の1つは、5ボルト・フラッシュ・メモリ・カードは、一般に、3ボルト電源のパーソナル・コンピュータにおける利用には適合せず、3ボルト・フラッシュ・メモリ・カードは、一般に、5ボルト電源のパーソナル・コンピュータにおける利用には適合しないということである。フラッシュ・メモリ・カードの電源とパーソナル・コンピュータの電源が一致しなければ、フラッシュ・メモリ・カードに記憶されているデータ、及び、フラッシュ・メモリ・カードそれ自体に損傷が生じることになる。従って、ユーザは、一般に、パーソナル・コンピュータにフラッシュ・メモリ・カードを挿入する前に、パーソナル・コンピュータの電源及びフラッシュ・メモリ・カードの電源について知っておく必要がある。通常、これは、ユーザにとって面倒である。ユーザは、特定のフラッシュ・メモリ・カードの電源について分からないか、あるいは、忘れてしまっている場合、そのフラッシュ・メモリ・カードを利用できなくなるのが普通である。

【0008】先行技術によるフラッシュ・メモリ・カードに関連したもう1つの欠点は、先行技術によるフラッシュ・メモリ・カードは、異なる電源電圧に対して、自動的に自己構成することができないということである。一般に、5ボルト・フラッシュ・メモリ・カードの電源が、たまたま、5ボルトから3ボルトに降下すると、5ボルト・フラッシュ・メモリ・カードは、通常、適正に機能できなくなり、該フラッシュ・メモリ・カードに記憶されたデータが損なわれることになる可能性がある。同様に、3ボルト・フラッシュ・メモリ・カードの電源が、たまたま、3ボルトから5ボルトに上昇すると、3ボルト・フラッシュ・メモリ・カードは、通常、適正に機能できなくなり、記憶されたデータに加えて、メモリ・カードの回路にも損傷を生じる可能性がある。

【0009】

【発明が解決しようとする課題】本発明の目的の1つは、異なる電源電圧で利用することができる、再プログラミング可能な不揮発性メモリ・カードを提供することにある。本発明のもう1つの目的は、メモリ・カードが現在接続されている電源電圧で動作するように、それ自体を自動的に自己構成することが可能な、再プログラミング可能で、不揮発性のメモリ・カードを提供することにある。本発明のもう1つの目的は、異なる電源電圧間における完全な互換性を備えた、再プログラミング可能な不揮発性メモリ・カードを提供することにある。

【0010】

【課題を解決するための手段】不揮発性メモリ・カードには、メモリ・カードのために装置電源電圧を受ける電源入力、及び、アレイをなすように配列された複数のメモリが設けられている。複数のメモリは、それぞれ、電

源入力から装置電源電圧を受ける。複数のメモリは、それぞれ、装置電源電圧の電圧レベルを表示する装置電源電圧表示信号を受け、その装置電源電圧の電圧レベルにしたがって動作するように回路が構成されている。装置電源電圧の電圧レベルを検出して、装置電源電圧表示信号を発生するため、電源入力には電圧検出回路が結合されている。(1) 電圧検出回路から装置電源電圧表示信号を受けて、(2) 複数のメモリのそれぞれに装置電源電圧表示信号を加え、複数のメモリのそれぞれの回路が、装置電源電圧表示信号に基づいて構成されるようにし、(3) 装置電源電圧の電圧レベルに関する不揮発性メモリ・カードのデータを外部回路に供給するため、電圧検出回路及び複数のメモリのそれぞれには、論理回路が結合されている。本発明の他の目的、特徴、及び、利点については、添付の図面及び以下に示す詳細な説明から明らかになるであろう。

【0011】

【実施例】図1は、フラッシュ・メモリ・カード10の透視図である。フラッシュ・メモリ・カード10のプラスチック・ケース2内には、データをアドレスに記憶するため、複数のフラッシュEPROM(図1には示されていない)が設けられている。フラッシュ・メモリ・カード10は、メモリ読み取りまたは書き込み操作のため、パーソナル・コンピュータ150のスロット7に挿入される。カード10には、その片面にコネクタ5が設けられており、コネクタ5をスロット7に挿入すると、カード10とパーソナル・コンピュータ150が接続されるようになっている。カード10には、書き込み保護スイッチ(「WPS」)3も設けられている。

【0012】コンピュータ150は、ポータブル・コンピュータ、ラップ・トップ・コンピュータ、デスク・トップ・コンピュータ、ワークステーション、ミニ・コンピュータ、メイン・フレーム、または、他の任意のタイプのコンピュータとすることが可能である。コンピュータ150には、中央演算処理装置、メモリ、及び、他の周辺装置(全て、不図示)が含まれている。

【0013】図2は、フラッシュ・メモリ・カード10のブロック図である。フラッシュ・メモリ・カード10には、複数のフラッシュEPROM12a~12j及び13a~13jが設けられており、各EPROMには、指定されたアドレスにデータを記憶するメモリ・セルが含まれている。実施例の1つでは、メモリ・アレイ11には、20のフラッシュEPROMが含まれている。他の実施例の場合、メモリ・アレイ11には、20を超えるか、あるいは、20未満のフラッシュEPROMを含むことが可能である。例えば、メモリ・アレイ11には、2~18のフラッシュEPROMを含むことができる。実施例の1つでは、フラッシュ・メモリ・カード10は、40メガバイト(Mバイト)のデータを記憶することが可能である。

【0014】実施例の1つでは、フラッシュEPROM 12a~12j及び13a~13jは、それぞれ、16 Mビット（すなわち、メガビット）のデータを記憶することができる。他の実施例の場合、メモリ・アレイ11のフラッシュEPROM 12a~12j及び13a~13jは、それぞれ、16 Mビットを超えるか、あるいは、16 Mビット未満のデータを記憶する。メモリ・アレイ11内のフラッシュEPROM 12a~12j及び13a~13jには、それぞれ、アドレス入力A0~A20、及び、データ・ピンD0~D7またはD8~D15が設けられている。アドレスは、それぞれのアドレス入力A0~A20を介して、フラッシュEPROM 12a~12j及び13a~13jのそれぞれにラッチされる。フラッシュEPROM 12a~12jには、それぞれ、データ・ピンD0~D7が設けられており、フラッシュEPROM 13a~13jには、それぞれ、データ・ピンD8~D15が設けられている。

【0015】フラッシュEPROM 12a~12j及び13a~13jには、それぞれ、書き込み許可入力ピンWE（/）、出力許可入力ピンOE（/）、及び、チップ使用可能化入力ピンCH（/）が含まれている。WE（/）、OE（/）、CH（/）入力はそれぞれ低でアクティブになる。チップ使用可能化入力ピンCH（/）は、フラッシュEPROM 12a~12j及び13a~13jのそれぞれに関するチップ・セクタであり、装置の選択に用いられる。出力許可入力ピンOE（/）は、フラッシュEPROM 12a~12j及び13a~13jのそれぞれに関する出力制御装置であり、データ・ピンD0~D7またはD8~D15からのデータにゲート制御を施すために用いられる。

【0016】フラッシュEPROM 11のうちの特定のフラッシュEPROMに対するOE（/）入力が論理的に低い場合、そのフラッシュEPROMに対する論理的に低いWE（/）入力によって、該フラッシュEPROMに対する書き込みが可能になる。アドレスは、書き込み許可パルスの立ち下がり区間においてラッチされる。データは、書き込み許可パルスの立ち上がり区間においてラッチされる。

【0017】フラッシュEPROM 12a~12j及び13a~13jには、それぞれ、プログラム/消去電源電圧入力VPP1またはVPP2、装置電源入力VCC、及び、VSS入力が含まれている。VPP1は、フラッシュEPROM 12a~12j用のプログラム/消去電源であり、VPP2は、フラッシュEPROM 13a~13j用のプログラム/消去電源である。実施例の1つでは、フラッシュEPROM 11は、それぞれ、12.0ボルトのVPP1及びVPP2を必要とする。実施例の1つでは、フラッシュEPROM 11は、約5.0ボルトまたは3.0ボルトのVCCを必要とする。VSSは、接地される。

【0018】フラッシュEPROM 12a~12j及び

13a~13jは、それぞれ、異なる電源電圧で動作することが可能である。実施例の1つでは、フラッシュEPROM 12a~12j及び13a~13jは、それぞれ、5ボルト電源または3ボルト電源で動作可能である。別の実施例では、フラッシュEPROM 12a~12j及び13a~13jは、それぞれ、3ボルト及び5ボルト以外の電源電圧で動作することができる。代替実施例の場合、フラッシュEPROM 12a~12j及び13a~13jは、それぞれ、3ボルト及び5ボルトを超える電源電圧で動作することができる。通知されると、フラッシュEPROM 12a~12j及び13a~13jは、それぞれ、その回路を印加される電源電圧で動作するように構成することができる。例えば、フラッシュEPROM 12a~12j及び13a~13jは、それぞれ、印加される電源VCCが3ボルトであると通知されると、その回路を3ボルトの電源で動作するように構成する。フラッシュEPROM 12a~12j及び13a~13jは、それぞれ、印加される電源VCCが5ボルトであると通知されると、その回路を5ボルトの電源で動作するように構成する。

【0019】フラッシュEPROM 12a~12j及び13a~13jには、それぞれ、電源電圧表示及び構成入力PSCも含まれている。電源電圧表示及び構成PSCは、フラッシュEPROM 12a~12j及び13a~13jのそれぞれに関する電源電圧表示及び構成信号である。例えば、電源電圧表示及び構成PSC信号が、論理的に高レベルの場合、それは、フラッシュEPROM 12a~12j及び13a~13jのそれぞれに関する電源VCCが、3ボルトであることを表示または通知している。論理的に高いPSC信号によって通知されると、フラッシュEPROM 12a~12j及び13a~13jは、それぞれ、論理的に高いPSC信号に従って、その回路を3ボルトの電源で動作するように構成する。例えば、フラッシュEPROM 12a~12j及び13a~13jのそれぞれにおける読み取り回路は、3ボルトにおけるより低速のアクセスを反映するように、そのタイミング回路を変化させ、読み取り時に、選択されたワード・ラインに印加される読み取り電圧を5ボルトにブーストする。また、フラッシュEPROM 12a~12j及び13a~13jのそれぞれにおける電源電圧感知及びシステム・ロック・アウト回路は、論理的に高のPSC信号に従って、3ボルト未満までシフトされる。

【0020】もう1つの例として、電源電圧表示及び構成信号PSCが論理的に低レベルの場合、それは、フラッシュEPROM 12a~12j及び13a~13jのそれぞれに対して、フラッシュEPROM 12a~12j及び13a~13jのそれぞれに関する電源VCCが、5ボルトであることを知らせており、フラッシュEPROM 12a~12j及び13a~13jは、それぞれ、

その回路を5ボルトの電源で動作するように構成する。図2に示すように、フラッシュEPROM12a~12j及び13a~13jは、それぞれ、ライン67を介して、同じPSC信号を受ける。

【0021】フラッシュEPROMに高い(すなわち、12ボルトの)VPP1またはVPP2が印加されていない場合には、フラッシュEPROMは、読み取り専用メモリの働きをする。A0~A20のアドレス入力を介して供給されるアドレスに記憶されたデータは、そのメモリ・セル・アレイから読み取られ、そのデータ・ピンD0~D15またはD8~D15を通じて取り出される。

【0022】フラッシュEPROMアレイ11のそれぞれのフラッシュEPROMに12ボルトのVPP1またはVPP2が供給されると、フラッシュEPROMの内容は、消去操作によって消去可能になり、従って、プログラム操作によって、新しいデータ及びコードで、該装置に再プログラミングすることが可能になる。フラッシュEPROM12a~12j及び13a~13jのそれぞれには、消去及びプログラミング操作を実施する回路が含まれている。

【0023】フラッシュEPROM12a~12j及び13a~13jのそれぞれには、パワー・ダウン・ピンPWD(／)も含まれている。フラッシュEPROMのパワー・ダウン・ピンPWD(／)はパワー・ダウン・モード制御装置である。フラッシュEPROM12a~12j及び13a~13jの1つのパワー・ダウン・ピンPWD(／)の信号が論理的に低レベルの場合、そのフラッシュEPROMはパワー・ダウン・モードに入る。

【0024】フラッシュEPROM12a~12j及び13a~13jのそれぞれには、レディ／ビジー出力ピンRY／BY(／)も含まれている。レディ／ビジーRY／BY(／)は、フラッシュEPROM12a~12j及び13a~13jのそれぞれに関するレディ／ビジー・インジケータである。フラッシュEPROM12a~12j及び13a~13jのそれぞれに関するRY／BY(／)出力は、低で、アクティブになる。フラッシュEPROMの論理的に高いRY／BY(／)出力は、フラッシュEPROMに関する「レディ」状態または「レディ」モードを示している(すなわち、操作を受け入れる準備が整っている)。論理的に低いRY／BY(／)出力は、フラッシュEPROMに関する「ビジー」状態または「ビジー」モードを示している(すなわち、書き込み状態の回路要素が、現在使用中である)。

【0025】フラッシュ・メモリ・カード10には、さらに、カード制御論理回路21が含まれている。カード制御論理回路21は、フラッシュ・カード10のフラッシュ・カード・ピンとフラッシュEPROM11とのインターフェイスを行う。カード制御論理回路21には、さらに詳細に後述することになる、カード情報構造

(「CIS」)62、及び、VCC制御レジスタ61が含まれている。カード制御論理回路21には、アドレス・デコーダ(不図示)、データ制御回路(不図示)、カード制御レジスタ(不図示)も含まれている。

【0026】カード制御論理回路21は、フラッシュ・メモリ・カード10に関する制御論理回路を提供する。カード制御論理回路21は、アドレス、データ、制御信号、パワー、及び、アースを受ける。カード制御論理回路21は、さらに、(1)フラッシュEPROM12a~12j及び13a~13jに関する読み取り、消去、及び、プログラミングを監督し、(2)フラッシュ・メモリ・カード10内における電源の利用を監督し、

(3)フラッシュ・メモリ・カード10に関するカード情報構造データのホスト・コンピュータ(不図示)に対する送信を監督し、(4)フラッシュ・メモリ・カード10に関する状況情報のホスト・コンピュータに対する送信を監督する。

【0027】カード情報構造データは、カード情報構造62に記憶されている。カード情報構造データには、フラッシュ・メモリ・カード10の構造を明らかにする詳細も含まれている。この詳細には、フラッシュ・メモリ・カード10の製造会社名、フラッシュEPROM12a~12j及び13a~13jのタイプ、及び、フラッシュEPROM12a~12j及び13a~13jの数が含まれている。

【0028】カード情報構造62におけるカード情報構造データには、さらに、フラッシュ・メモリ・カード10のための異なる電源電圧に関する情報も含まれている。この情報には、フラッシュ・メモリ・カード10の各電源電圧に関連したフラッシュ・メモリ・カード10(すなわち、フラッシュEPROM12a~12j及び13a~13j)の速度、アクセス時間等が含まれている。例えば、フラッシュEPROM12a~12j及び13a~13jが、5ボルト電源及び3ボルト電源で動作可能な場合、カード情報構造62は、それぞれ、2つの電源電圧の一方における、フラッシュ・メモリ・カード10(すなわち、フラッシュEPROM12a~12j及び13a~13j)の速度、アクセス時間等に関連した情報を含む、2つの超集合(superset)を備えている。フラッシュEPROM12a~12j及び13a~13jが、3ボルト及び5ボルトを超える電源電圧で動作可能な場合、カード情報構造62は、それぞれ、電源電圧の一方に関する2つの超集合を備えている。カード情報構造62は、バス70を介して、そのデータを外部ホスト・コンピュータに供給する。

【0029】カード制御論理回路21内のカード制御レジスタは、フラッシュ・メモリ・カード10に関連した状況を制御し、報告するために利用される。外部ホスト・コンピュータは、カード制御論理回路21に適正な入力信号が加えられると、カード制御レジスタに対する読

み取り及び書き込みが可能になる。

【0030】VCC制御レジスタ61は、カード制御論理回路21内におけるカード制御レジスタの1つである。VCC制御レジスタ61は、フラッシュ・メモリ・カード10に印加される電源の電圧レベルを表示するために用いられ、また、フラッシュEPROM12a~12j及び13a~13j及びフラッシュ・メモリ・カード10の構成を制御し、受けたカード電源電圧に従って動作させるために用いられる。VCCレジスタ61は、ライン67を介して、フラッシュEPROM12a~12j及び13a~13jのそれぞれのPSCピンに、電源電圧表示及び構成信号を出力する。実施例の1つでは、VCCレジスタ61は1ビット・レジスタである。もう1つの実施例では、VCCレジスタ61はマルチ・ビット・レジスタである。VCC制御レジスタ61は、ライン68を介して、電圧検出回路60から装置電源電圧表示信号を受ける。装置電源電圧表示信号は印加されるカード電源電圧のレベルを表示する。電圧検出回路60についてはさらに詳細に後述する。

【0031】実施例の1つでは、VCC制御レジスタ61の出力はカード情報構造62には印加されず、カード情報構造62へのアクセス時に、フラッシュ・メモリ・カード10の異なる電源電圧に関するカード情報が読み取られる。別の実施例では、VCC制御レジスタ61の出力は、フラッシュ・メモリ・カード10に現在印加されている電源電圧に関する情報だけを読み取ることができるようにするため、カード情報構造62に印加される。

【0032】フラッシュ・メモリ・カード10には、アドレス入力ピンA0~A25及びデータ・ピンD0~D15が含まれている。アドレス入力ピンA0~A25及びデータ・ピンD0~D15は、両方とも、カード制御論理回路21に結合されている。ピンA0~A25に加えられるアドレスはカード制御論理回路21にラッチされる。データ・ピンD0~D15は、メモリ書き込みサイクル時に、データを入力し、メモリ読みとりサイクル時に、データを出力するために用いられる。データ・ピンD0~D15は、高でアクティブになり、カード10が切断されるか、あるいは、出力が禁止になると、浮動してトライステート・オフになる。

【0033】フラッシュ・メモリ・カード10は、カード使用許可入力CE1(/)及びCE2(/)と、出力許可入力OE(/)を受ける。カード使用許可入力CE1(/)及びCE2(/)は、フラッシュEPROM12a~12j及び13a~13jの選択に利用されるチップ選択である。カード制御論理回路21は、受けたCE1(/)及びCE2(/)信号に基づいて、LCE(/)及びUCE(/)信号を出力する。出力許可入力OE(/)は、カードの出力制御であり、アクセスされるフラッシュEPROMの選択とは関係なく、データ・ピンD0~D15からのデータにゲート制御を施すために

用いられる。OE(/)信号は、カード制御論理回路21による処理を受けCOE(/)信号になる。COE(/)信号は、ライン37を介して、フラッシュEPROM12a~12j及び13a~13jのそれぞれにおけるOE(/)ピンに結合される。COE(/)が論理的に高レベルの場合、全てのフラッシュEPROM12a~12j及び13a~13jからの出力が禁止される。カードのデータ・ピンD0~D15は、高インピーダンス状態になる。

【0034】カード使用許可入力CE1(/)は、フラッシュEPROM12a~12jを使用可能にするために用いられる。カード使用許可入力CE2(/)は、フラッシュEPROM13a~13jを使用可能にするために用いられる。CE1(/)及びCE2(/)が、両方とも、論理的に高レベルの場合、カードは、切断され、電源消費は、スタンバイ・レベルまで減少する。

【0035】フラッシュ・メモリ・カード10には、カード書き込み許可ピンWE(/)も含まれている。カード書き込み許可ピンWE(/)は、カード制御論理回路21及びフラッシュEPROM12a~12j及び13a~13jに対する書き込みを制御する。カード書き込み許可ピンWE(/)が、論理的に高レベルの場合、フラッシュ・メモリ・カード10に対するデータ入力は実施不能化される。WE(/)信号は、カード制御論理回路21による処理を受けると、CWE(/)信号になり、ライン36を介してフラッシュEPROM12a~12j及び13a~13jのそれぞれのWE(/)入力と結合される。

【0036】カード制御論理回路21のアドレス・デコーダは、フラッシュEPROM12a~12j及び13a~13jの中から選択するために、カード10の内部で必要とされる個々のチップ使用可能化信号CE(/)を復号化するのに必要な論理を提供する。フラッシュEPROM12a~12jに関するチップ使用可能化信号CE(/)は、LCE(/)信号ライン40を介して供給される。フラッシュEPROM13a~13jに関するチップ使用可能化信号CE(/)は、UCE(/)信号ライン39を介して供給される。メモリ・アドレスは、復号化されると、カード10に線形にマッピングされる。メモリ・アドレスは、次に、A0~A20アドレスバス38を介して、フラッシュEPROM12a~12j及び13a~13jの選択された1つに加えられる。

【0037】フラッシュ・メモリ・カード10には、カード・レディ/ビジー出力ピンRY/BSY(/)も含まれている。カード・レディ/ビジー出力ピンRY/BSY(/)の出力は、カードがビジー状態か、あるいはレディ状態かの表示を行う。カード制御論理回路21は、ライン42を介して、フラッシュEPROM12a~12j及び13a~13jのそれぞれからRY/BSY(/)出力を受けて、カード・レディ/ビジー出力ピ

ンRY/BSY(ノ)の出力を外部回路に送り出す。

【0038】フラッシュ・メモリ・カード10には、低でアクティブになるレジスタ・メモリ選択入力ピンREG(ノ)が含まれている。REG(ノ)信号は、論理的に低の場合、カード制御論理回路21が、カード情報構造62からのカード情報構造データを外部ホスト・コンピュータに対して送り出すことができるようにする。さらに、REG(ノ)信号が、論理的に低の場合、カード制御論理回路21に対する書き込み操作によって、カード情報構造62に記憶されているカード情報構造データを更新することができる。さらに、論理的に低のREG(ノ)信号によって、カード制御論理回路21のカード制御レジスタに対するアクセスも可能になる。換言すれば、ピンREG(ノ)は、フラッシュEPROM12a~12j及び13a~13jまたはカード制御論理回路21に対する操作を制御する。

【0039】フラッシュ・メモリ・カード10には、2つのカード検出ピンCD1(ノ)及びCD2(ノ)が含まれている。カード検出ピンCD1(ノ)及びCD2(ノ)によって、ホスト・コンピュータ・システムは、カード10が適正にロードされているか否かを判定することが可能になる。

【0040】フラッシュ・メモリ・カード10には、書き込み保護スイッチ22が含まれている。スイッチ22は、フラッシュEPROM12a~12j及び13a~13jに対する書き込み許可信号WE(ノ)を制御する、カード制御論理回路21の回路(不図示)を使用不能にする。スイッチ22が作動すると(すなわち、スイッチ・ナイフ30がVCCに接続されると)、カード制御論理回路21のWE(ノ)が高になるので、フラッシュEPROM12a~12j及び13a~13jのそれぞれに対する書き込みが阻止されることになる。

【0041】フラッシュ・メモリ・カード10には、書き込み保護出力ピンWPも含まれている。WPピンが高電圧でアクティブの場合、カードに対する全ての書き込み操作は禁止される。WPピンは、書き込み保護スイッチ22の条件を反映する。

【0042】VCCは、フラッシュ・メモリ・カード10のためのカード電源であり、GNDは、カードのためのアースである。実施例の1つでは、フラッシュ・メモリ・カード10のカード電源VCCは、3ボルト、または、5ボルトとすることが可能である。この状況において、フラッシュ・メモリ・カード10は、3ボルト電源または5ボルト電源で動作するように、フラッシュEPROM12a~12j及び13a~13jのそれぞれを構成する。他の実施例の場合、フラッシュ・メモリ・カード10のカード電源VCCは、3ボルト及び5ボルトを超えるか、あるいは、3ボルト及び5ボルト以外にすることも可能である。

【0043】装置電源VCCは、電圧変換回路50に結合

されている。電圧変換回路50は、やはりライン41を介してREG(ノ)信号を受ける。電圧変換回路50はフラッシュEPROM12a~12j及び13a~13jのそれぞれに対してVCC電圧を印加する。電圧変換回路50は、プログラム/消去電圧VPPを発生して、フラッシュEPROM12a~12j及び13a~13jのそれぞれに加える。

【0044】もう1つの実施例の場合、フラッシュ・メモリ・カード10は電圧変換回路50を含んでいない。その場合、外部ホスト・コンピュータが、装置電源電圧VCC及びプログラム/消去電圧VPPを、それぞれ、フラッシュ・メモリ・カード10に供給しなければならない。

【0045】フラッシュ・メモリ・カード10は、それが現在受けているカード電源電圧VCCに合わせて、自動的にそれ自体を構成する機能を具備している。例えば、フラッシュ・メモリ・カード10に印加されるカード電源電圧VCCが約3ボルトの場合、フラッシュ・メモリ・カード10は、3ボルトのフラッシュ・メモリ・カードになるようにそれ自体を構成する。フラッシュ・メモリ・カード10に印加されるカード電源電圧VCCが約5ボルトの場合、フラッシュ・メモリ・カード10は、5ボルトのフラッシュ・メモリ・カードになるようにそれ自体を構成する。フラッシュ・メモリ・カード10のこの機能は、電源の構成が可能なフラッシュEPROM12a~12j及び13a~13j、VCC制御レジスタ61、及び、電圧検出回路60によって実現される。この機能については、さらに詳細に後述する。

【0046】さらに、カード情報構造62は、異なる電源電圧に関連したフラッシュ・メモリ・カード10のパラメータを記憶する。アクセスを受けると、カード情報構造62は、そのパラメータを外部ホスト・コンピュータに供給し、フラッシュ・メモリ・カード10が電源構成の可能なフラッシュ・メモリ・カードであることを外部ホスト・コンピュータに知らせる。さらに、外部ホスト・コンピュータは、フラッシュ・メモリ・カード10が動作する電源電圧について知ることになる。

【0047】上述のように、フラッシュ・メモリ・カード10には、電圧検出回路60が含まれている。電圧検出回路60はカード電源電圧VCCを受ける。電圧検出回路60は、カード電源電圧VCCの電圧レベルを検出し、ライン68を介して、VCC制御レジスタ61に対する装置電源電圧表示信号を発生する。電圧検出回路60は、フラッシュ・メモリ・カード10の電源VCCピンに印加される電圧レベルに基づく装置電源電圧表示信号を発生する。例えば、カード電源電圧VCCが3ボルトであれば、電圧検出回路60は、ライン68を介して、VCC制御レジスタ61に対して論理的に高い信号を発生する。カード電源電圧VCCが約5ボルトであれば、電圧検出回路60は、ライン68を介して、VCC制御レジスタ61

に対して論理的に低い信号を発生する。

【0048】実施例の1つでは、電圧検出回路60は、日本のSEIKO Instrument, Inc. で製造されているSEIKO電圧感知回路(部品番号S-80740SL-A4-TX)である。代替実施例の場合、電圧検出回路60は、他の既知の電圧感知回路とすることが可能である。

【0049】次に、VCC制御レジスタはライン68を介して装置電源電圧表示信号を受け、この信号を記憶する。次に、VCC制御レジスタ61は、フラッシュEPROM12a~12j及び13a~13jのそれぞれのPSCピンに対して装置電源電圧表示及び構成信号を出力し、フラッシュ・メモリ・カード10のVCCピンに印加されるカード電源電圧で動作するように、フラッシュEPROM12a~12j及び13a~13jのそれぞれを構成する。VCC制御レジスタ61は、電圧検出回路60から受けた装置電源電圧表示信号に基づいて、装置電源電圧表示及び構成信号を出力する。例えば、装置電源電圧表示信号が、カード電源VCCは約5ボルトであることを表示すると、VCC制御レジスタ61は、これに
20 応じて、5ボルト電源電圧表示及び構成信号を出力し、フラッシュEPROM12a~12j及び13a~13jのそれぞれに、装置電源VCCが5ボルトであることを通知して、5ボルト電源で動作するように、フラッシュEPROM12a~12j及び13a~13jのそれぞれを構成させる。装置電源電圧表示信号が、カード電源VCC約3ボルトであることを表示すると、VCC制御レジスタ
30 61は、これに応じて、3ボルト電源電圧表示及び構成信号を出力し、フラッシュEPROM12a~12j及び13a~13jのそれぞれに、装置電源VCCが3ボルトであることを通知して、3ボルト電源で動作するように、フラッシュEPROM12a~12j及び13a~13jのそれぞれを構成させる。従って、フラッシュ・メモリ・カード10は、自動電源構成機能を得ているので、異なる電源システムにおいて利用することが可能である。

【0050】上述のように、カード情報構造62は、異なる電源電圧に関するフラッシュ・メモリ・カード10のパラメータを記憶している。アクセスを受けると、カード情報構造62は、これらのパラメータを供給する。
40 やはり、上述のように、これらのパラメータの読み取り実施例が2つある。実施例の1つでは、アクセスが行われると、異なる電源電圧の全てに関連したパラメータが、カード情報構造62から読み取られるので、外部ホスト・コンピュータは、フラッシュ・メモリ・カード10が電源構成機能を有していることを知り、また、フラッシュ・メモリ・カード10の電源電圧構成範囲を知ることになる。外部ホスト・コンピュータは、次に、随意

にフラッシュ・メモリ・カード10とシステム全体の電源電圧を選択する。この実施例の場合、VCC制御レジスタ61の出力はカード情報構造62に印加されない。

【0051】もう1つの実施例の場合、フラッシュ・メモリ・カード10のVCCピンに現在印加されている特定の装置電源VCCに関連したパラメータが選択的に読み取られるようにするため、VCC制御レジスタ61からの装置電源電圧表示及び構成信号が、カード情報構造62に印加される。図3には、この実施例が示されているが、これについては、以下でさらに詳述する。

【0052】図3に示すように、カード情報構造62には、それぞれ、2つの装置電源電圧の一方に関するフラッシュ・メモリ・カード10のパラメータ集合を記憶する、第1のカード情報構造62a及び第2のカード情報構造62bが含まれている。VCC制御レジスタ61(図2)からの装置電源電圧表示及び構成信号の制御下において、第1と第2のカード情報構造62a-62bの一方におけるデータを外部ホスト・コンピュータに対して選択的に結合するため、マルチプレクサ100が設けられている。しかし、この場合、外部ホスト・コンピュータは、フラッシュ・メモリ・カード10が自動電源構成機能を有することを知らない。

【0053】以上の明細書において、特定の実施例に関連して本発明の解説を行った。ただし、付属の請求項に記載の本発明に関するより一般的な精神及び範囲を逸脱することなく、各種の修正及び変更を加えることができるのは、明らかである。従って、明細書及び図面は、制限を意味するものではなく、例示を意味するものとみなすべきである。

【図面の簡単な説明】

【図1】 フラッシュ・メモリ・カードの透視図である。

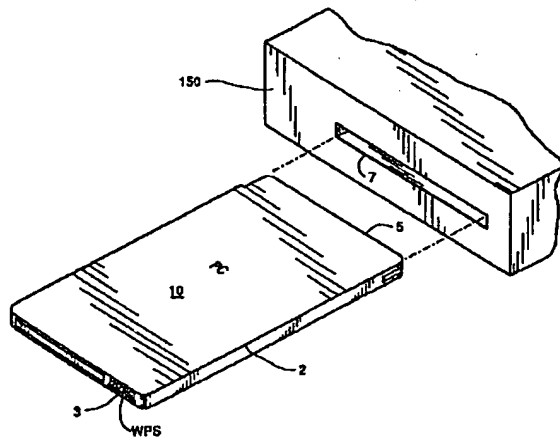
【図2】 複数のフラッシュEPROM、電圧検出回路、電源VCC制御レジスタ、及び、カード情報構造(CIS)を含む、フラッシュ・メモリ・カードのブロック図である。

【図3】 図2のカード情報構造の実施例の1つを示すブロック図である。

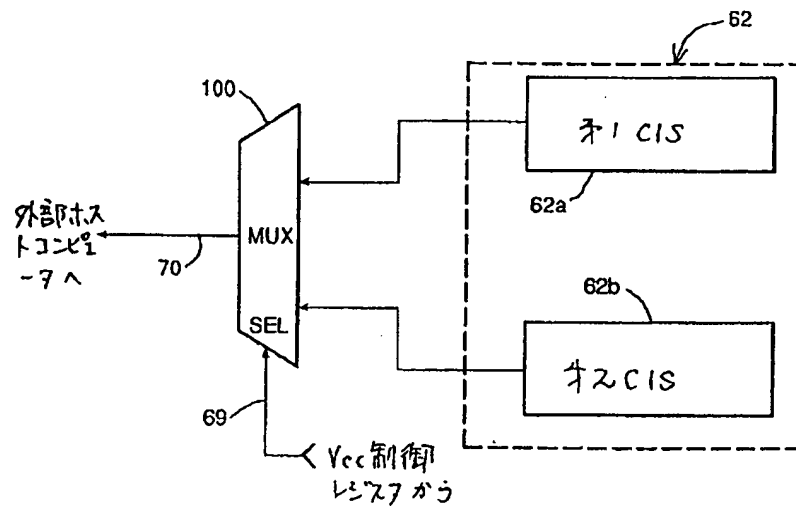
【符号の説明】

2…プラスチック・ケース、3…書き込み保護スイッチ、5…コネクタ、7…スロット、10…フラッシュ・メモリ・カード、11…メモリ・アレイ、12a~i…フラッシュEPROM、13a~i…フラッシュEPROM、21…カード制御論理回路、50…電圧変換回路、60…電圧検出回路、61…VCC制御レジスタ、62…カード情報構造、100…マルチプレクサ、150…パーソナル・コンピュータ。

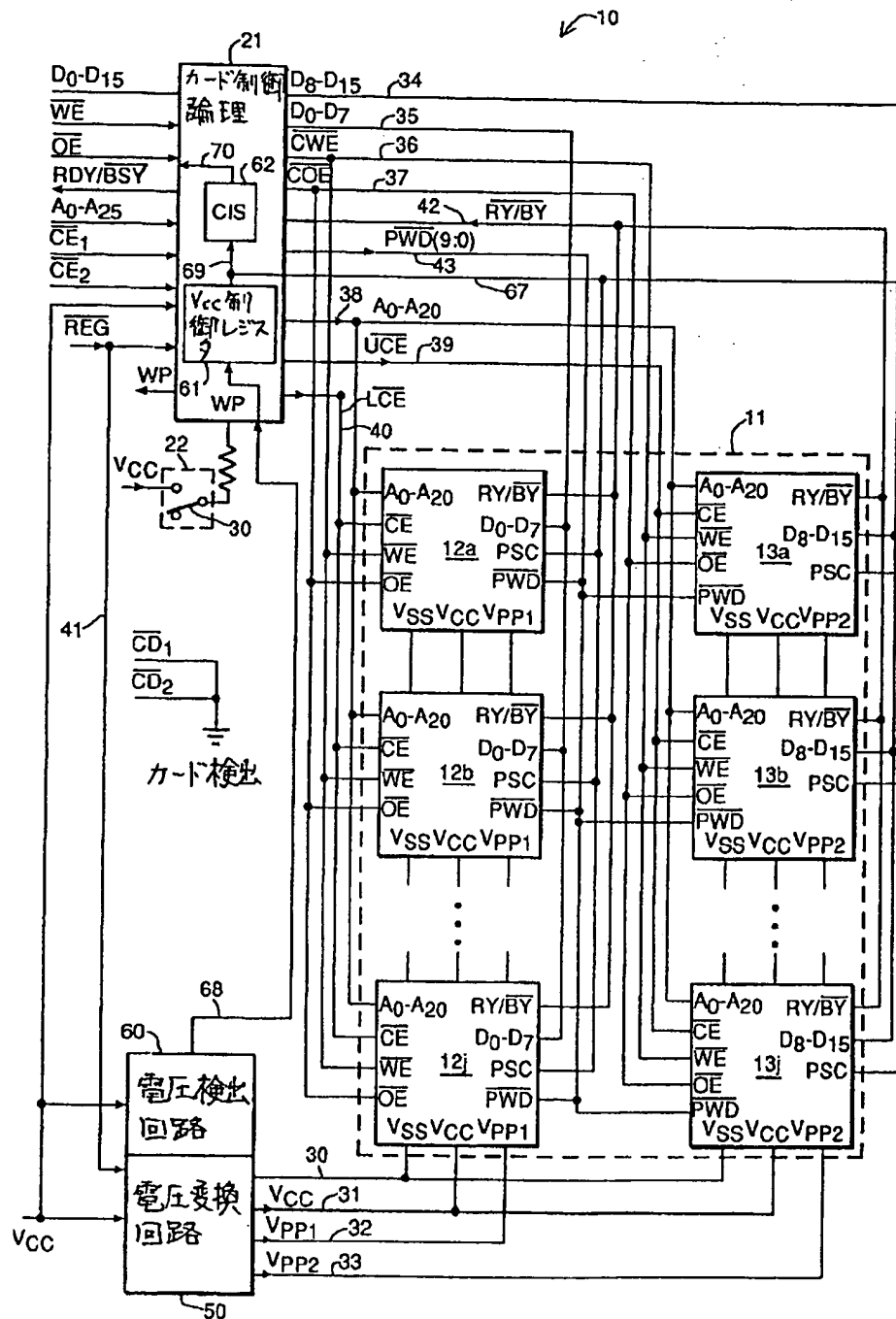
【図1】



【図3】



【図 2】



フロントページの続き

(72)発明者 デビッド・エス・ブラナム
 アメリカ合衆国 95682 カリフォルニア
 州・キャメロン パーク・マウント ビュ
 ー コート・2969

(72)発明者 ラッセル・ディ・エスリック
 アメリカ合衆国 95667 カリフォルニア
 州・プレイサーヴィル・ロス ロウブルズ
 ロード・981